

עמוס זסלבסקי

לימוד שפת VHDL לסימולציה וסינתזה

מהדורה שניה - אוקטובר 2012

מתוקנת ומורחבת

כוללת גם VHDL - 2008



הוצאת שורש (אלי מיטב) 052 – 2671210

email: elmtv@017.net.il

web: <http://www.shoresh1.co.il>



©

כל הזכויות שמורות למחבר

**אין לצלם או לסרוק מספר זה ללא אישור מהמחבר או מהמוציא לאור
צילום או סריקה מספר זה ללא אישור הינו עבירה על החוק
(ויותר חשוב: זה גם לא הוגן)**

תוכן עניינים

1 פרק המבוא
2 התפקיד של שפת VHDL בטכנולוגיה האלקטרונית
3 מבנה הספר וייעודו
6 המלצות לגבי אופן הלימוד
8 כיצד פותחו החומרים שבספר
9 מה חדש במהדורה השניה ?
13 תודות
15 פרק 1: מבוא לשפה ולכלים
16 מבוא לפרק ומטרותיו
17 מקורות והיסטוריה של השפה *
20 שיטות שונות לתיאור המערכת – Design Entry
22 אפשרויות שונות לביצוע מהלך התכן – Design Flows
26 המאפיינים הבסיסיים והיכולות של השפה *
29 השגה והתקנת כלי תוכנה
33 כתיבת קובץ פשוט בשפת VHDL
35 מבוא לכלי סימולציה
35 סימולציה
37 הכנות לקומפילציה בסביבת ModelSim
39 קומפילציה באמצעות ModelSim
41 הכנות לסימולציה באמצעות ModelSim
43 הרצת סימולציה ידנית באמצעות ModelSim
44 סימולציה באמצעות script של ModelSim
47 ואם אתה רוצה לסמלץ באמצעות Test Bench כבר בשלב זה *
48 הכנות לקומפילציה בסביבת Riviera-PRO
50 קומפילציה באמצעות Riviera-PRO
53 הכנות לסימולציה באמצעות Riviera-PRO
56 הרצת סימולציה ידנית באמצעות Riviera-PRO
57 סימולציה באמצעות script של Riviera-PRO
60 מבוא לכלי סינתזה
60 פעולות אופייניות שמבצע כלי סינתזה
66 כלי סינתזה כמתרגם מרמת RTL לרמת Gate-Level
69 סינתזה גבוהה ונמוכה וכלי סינתזה צד שלישי *
73 יצירת פרויקט וסינתזה באמצעות Quartus
80 סינתזה עבור לוח תרגול *
87 סימולציה לאחר סינתזה של Quartus *
92 קונפיגורציה (תכנות/צריבה) של הרכיב על לוח התרגול DE2 *

101	פרק 2: היסודות של השפה
101	מבוא לפרק ומטרותיו
102	יסודות התחביר של השפה
102	קבצי VHDL
104	כללי מתן שמות בשפת VHDL
106	הערות ושורות לוגית ופיסיות בשפה
107	תווים ומחרוזות תווים
107	ערכים מספריים בשפת VHDL
110	יחידות קומפילציה בסיסיות
110	הישות - entity
112	הארכיטקטורה - architecture
115	כיווני האותות ב - port והצהרה על אותות פנימיים
120	סימולציה באמצעות שפת הסימולטור
124	ואם אתה רוצה לסמלך באמצעות Test Bench כבר בשלב זה *
125	סימולציה עם אותות מתוזמנים
129	ריבוי ארכיטקטורות *
132	סוגי מידע ופעולות
132	קבועים משתנים ואותות
134	סוגי מידע מספרי
137	סוגי מידע מספרי בסימולציה וסינתזה
143	סינתזה עם שלמים חיוביים ושלמים
145	סוגי מידע Enumerated
146	סוגי מידע מורכבים (לא סקלריים)
148	מערכים שמובנים בשפה - string ו bit_vector
149	פעולות לוגיות
152	השמות וקטוריות - שימוש בוקטורים כמחרוזות תווים
153	מחרוזות תווים חדשות ב - VHDL-2008 *
155	השמות וקטוריות - שימוש באלמנטים בודדים מהמערך ובארגוציות
158	השמות וקטוריות - שימוש בחלק (slice) ממערך של אותות
160	השמות ל - bit ו bit_vector והנוקשות שלהם
161	פעולות הזזה
162	פעולות לוגיות על וקטורים
167	ניסיונות לבצע פעולות נוספות על וקטורים
171	פעולות חשבוניות - חיבור חיסור וכפל
171	פעולות חשבוניות נוספות
174	מערכים נוספים שמובנים בשפה ב - VHDL-2008 *
175	שימוש בחבילות והכרת חבילות בסיסיות
175	החבילה - package
178	שימוש בפסוק use
181	פונקציות שמוגדרות בגוף החבילה *
182	הצהרה על סוגי מידע בחבילה
183	שימוש בחבילות להרחבת השפה
186	החבילה השימושית std_logic_1164

193 std_logic_signed ו std_logic_unsigned החבילות השימושיות
199 (כולל VHDL-2008) סדר קדימויות של אופרטורים
200 שיפורים בפעולות ההשוואה - חלק א
202 שיפורים בפעולות ההשוואה - חלק ב *
204 שיפורים בפעולות ההשוואה - חלק ג *
210 * VHDL-2008 פעולות מינימום ומקסימום חדשות ב -
211 * VHDL-2008 וקטורים של שלמים ושברים בנקודה קבועה ב -
217 * VHDL-2008 וקטורים בנקודה צפה ב -
227 * VHDL-2008 הנוחות בשימוש ב - context בחבילות ב -
228 * VHDL-2008 תמיכה ב - במערכות ישנות *
231 פרק 3: יסודות התיאור ההתנהגותי
232 מבוא לפרק ומטרותיו
233 תיאורים מקבילים וסדרתיים
233 הכרה בסיסית של התהליך
236 הבנת אופן הפעולה של התהליך באמצעות אותות ומשתני ביניים
242 הסדר של השמות בארכיטקטורה ובתהליך
244 שילוב בין סגנונות התנהגותיים
245 השמות כפולות בארכיטקטורה ובתהליך
249 השהיית אותות
250 הבנת אופן הפעולה של התהליך באמצעות שימוש בסיסי בפסוקי wait
254 סיכום של כמה תכונות של התהליך
255 התניה ובחירה
255 התניה מחוץ לתהליך באמצעות השמה מותנית
260 בחירה מחוץ לתהליך - באמצעות השמות נבחרות
267 התניה בתוך התהליך - באמצעות פסוקי if
270 השוואה בין פסוקי if של VHDL ושפות אחרות
272 פסוקי if עם אופרטור ההתניה "??" *
275 בחירה בתוך התהליך - באמצעות פסוקי case
277 השוואה בין פסוקי case של VHDL ושפות אחרות
279 מגבלות על הביטוי הנבדק בפסוקי case והשמות נבחרות
280 פסוקי Matching-Case ב - VHDL-2008 *
281 השמות מותנות ונבחרות בפסוקי if ו case ב - VHDL-2008 *
283 חוגים
283 תהליך עם חוג for
284 דוגמאות לשימוש בחוג for
288 דוגמאות לחוגי for שאינם יוצרים לוגיקה
291 תהליך עם חוגים אחרים
296 חוגים וסינתזה

301 פרק 4: אבני בניה לסינתזה צירופית
302 מבוא לפרק ומטרותיו
303 תיאור מערכת צירופית שמתאים לסינתזה ללא תהליך
306 תיאור מערכת צירופית שמתאים לסינתזה באמצעות תהליך
307 הקפדה על שימוש בהשמות ללא משוב
308 הקפדה על רשימות רגישות מלאות
312 אותות מיותרים ברשימת הרגישות של תהליך שמתאר מערכת צירופית
313 הקפדה על השמות מלאות
320 הבדלים בין התניות ב - VHDL ו AHDL *.
322 שימוש נכון במשתנים
330 התניות מרובות
333 השמות מרובות לאותו אות מתהליכים שונים
334 רכיבי Tri-State ו Open Drain
342 יצירת רכיבי Latch מועילים
345 מניעת ערבוב תיאורי חומרה עם חמרת Tri-State באותו התהליך
351 פרק 5: אבני בניה לסינתזה סינכרונית
352 מבוא לפרק ומטרותיו
353 תיאורים סינכרוניים
353 השבלונה הבסיסית לכתיבה סינכרונית
360 רגישות לעליה כשאות השעון אינו מסוג bit
364 השמות סינכרוניות
369 התניות שנמצאות מתחת לתנאי הסינכרוני הראשי
371 כניסות אסינכרוניות
378 הנקשות של ה - Template הסינכרוני - דוגמה I
381 הנקשות של ה - Template הסינכרוני - דוגמה II
386 מערכות סינכרוניות שרגישות לירידה
390 דוגמא פשוטה לתיאור רגיסטר אוניברסלי
392 שימוש נכון במשתנים בתהליך סינכרוני
402 טיפים נוספים
402 הפרדה בין חלקים צירופיים וסינכרוניים
408 דוגמה לכתיבת קוד של מערכת
412 דוגמה נוספת לתרגיל תכן - מונה שמשנה כיוון
414 דוגמה נוספת לתרגיל תכן - מונה שיחס החלוקה שלו הולך וגדל
419 מקבץ תרגילים
431 אתחול אותות ומשתנים
435 אתחולים באזורים הצהרתיים בקוד - וכלי וסינתזה
439 הפרדה בין מערכות עם וללא אתחולי א-סינכרוני
444 הפרדת הקוד לכמה תהליכים בכדי ליצור קוד קריא יותר

447 פרק 6: אבני בנייה לסימולציה
448 מבוא לפרק ומטרותיו
449 משלוח הודעות למסך
449 assert משלוח הודעות למסך באמצעות פסוקי
450 assert מיקום של וסוגים של פסוק
454 רישום מקוצר למשלוח הודעה בלתי מותנית למסך
456 פונקציות המרה למחרוזות תווים *
457 פונקציות המרה למחרוזות תווים ב - VHDL-2008 *
460 פסוקי wait
460 wait תהליכים עם פסוקי
461 wait on פסוקי
463 wait until פסוקי
465 on + until פסוקי - שלוב
467 wait for פסוקי
468 wait שילובים נוספים של פסוקי
470 המתנה לצמיתות
471 המתנת סרק
472 wait תיאורים סינכרוניים עם פסוקי
475 מחוללים
475 מחוללים באמצעות פקודות הסימולטור
478 מחוללי שעון
478 מחוללי אותות לא מחזוריים
480 דוגמאות נוספות למחוללי אותות
483 בודקי תזמונים *
483 מבוא לבודקי תזמונים
484 בודקי תזמונים לרוחב פולס מינימלי *
488 בודקי תזמונים לזמן הכנה *
490 בודקי תזמונים לזמן החזקה *
491 דוגמאות לגרטורים שמשמשים בחבילה real *
493 פרק 7: תיאורים מבניים בסיסים
491 מבוא לפרק ומטרותיו
499 תיאורים בסיסיים וחיווט
504 סינתזה של פרויקט בעל היררכיה מבנית
506 מדוע יש צורך בהצהרות Component ?
508 עבודה בצורת Top-to-Bottom ו Bottom-Up
511 האופי המקבילי של חיווט רכיבים
513 חלוקה לרכיבים לעומת חלוקה לתהליכים
517 מקבץ תרגילים
518 השמות והסדר של האותות המקושרים
519 קישור על פי שם (Named Association)

521 חיווט כניסה לקבוע
522 ניתוק יציאה
524 ניתוק כניסות
527 חיווטים אסורים בין שני תת-רכיבים שבאותה היררכיה
528 חיווטים היררכיים אסורים
529 חיווטים היררכיים שיוצרים הודעות אזהרה (לפני VHDL-2002)
530 בעיית חיווט טיפוסית ושיטות חיווט
534 חיווט הדקים ל - BUS
535 יצירת Test-Bench בסיסי
535 כיצד נעשתה הסימולציה בפרקים הקודמים ?
537 מבוא ליצירת Test-Bench
543 שימוש ב - Template לסקריפט של Test-Bench
544 דוגמה ל - Test Bench שבו גם הגנרטור הוא רכיב
546 דוגמה ל - Test Bench סינכרוני
552 שימוש בפקודות עזר נוספות בסקריפטים של Riviera ו Modelsim
556 התמיכה של תכנית הסימולציה בתיאור מבני והיררכיה
560 מקבץ תרגילים
564 אמצעי דיבוג מתקדמים
565 פרק 8: תיאורים מבניים מורכבים
566 מבוא לפרק ומטרותיו
567 יצירת תיאורים מבניים כלליים יותר
567 מבוא ליצירת תיאורים מבניים כלליים יותר
567 שימוש בפרמטרים גנריים
570 שימוש בפרמטרים לקביעת רוחב של מערכת
573 תיאור פרמטרים בסמלים גרפיים של כלי הסינתזה
575 מקבץ תרגילים ראשון
576 רכיבים גמישים סטנדרטיים - LPMs
580 רכיבים עם הדקים מסוגי מידע כלליים
583 תיאורים כלליים ותמיכה בסינתזה
584 שכפול תיאורים במקביל - כולל תיאורים מבניים
584 שכפול תיאורים במקביל באמצעות חוג generate
585 דוגמה לשכפול של תיאור התנהגותי באמצעות חוג generate
587 שכפול של תיאור מבני באמצעות חוג generate
588 מקבץ תרגילי תכנון שני
592 שימוש ב - generate מותנה
595 האם ניתן להתנות פסוק if-generate באות ?
596 התניה של חומרה בקבוע או בפרמטר
598 מקבץ תרגילי תכנון שלישי
599 פסוקי generate משוכללים יותר ב - VHDL-2008 *
601 פסוקי Alias *
602 גישה ישירה להיררכיות נמוכות (VHDL-2008) *

603 אילוף ערכים של אותות פנימיים (VHDL-2008) *
605 פעולות על ספריות בסימולטור *
605 מבוא לפעולות על ספריות בסימולטור *
605 הצגת התוכן של ספרייה *
607 מחיקת יחידות מקומפלות מספרייה (אל תבצע) *
608 יצירת תשתית לספרייה פיסית חדשה *
609 מיפוי בין שם לוגי של ספרייה למסלול פיסית שלה *
611 קומפילציה של יחידות קומפילציה לספרייה כל שהיא *
612 דוגמה ליצירה של ספרית רכיבים ושימוש בה ללא צורך בהצהרות על רכיבים *
615 מקבץ תרגילים רביעי *
619 קונפיגורציה של רכיבים מספריות *
619 מבוא לקונפיגורציה של רכיבים מספריות *
621 שימוש ב - configuration specifications *
623 שימוש ב - configuration declarations *
626 יחידת קונפיגורציה בעלת היררכיה *
629 תיאורים מבניים פשוטים יותר ב - VHDL-93 *
632 שימוש ברכיבים של יצרן הסיליקון *
632 הכנת קובץ לעבודה עם רכיבי LPM *
634 הכנת סביבת הסימולציה לעבודה עם LPMs *
636 הכנה גלובלית קבועה של סביבת הסימולציה לעבודה עם LPMs *
638 הכנת תמיכה לרכיבים נוספים - כולל אטומים *
643 קומפילציה של ספריות סימולציה מתוך Quartus *
644 קבצי אתחול זיכרון בכלים של Altera ובמודלים לסימולציה של זיכרונות *
648 תרגיל מודרך לשימוש ברכיב LPM וניצול משאבים מיוחדים בסיליקון *
653 שימוש ב - Mega-Wizard *
657 פרק 9: הגדרת סוגי מידע ותיאור מכונת מצבים
658 מבוא לפרק ומטרותיו
659 יצירת סוגי מידע סקלריים
659 יצירת סוג מידע חדש מסוג enumerated type באמצעות הצהרת type
662 יצירת סוג מידע מספרי חדש באמצעות הצהרת type *
664 הגדרת סוגי מידע באמצעות הצהרת subtype *
668 סוגי מידע פיסיים *
671 מאפיינים (attributes) של סוגי מידע סקלריים שקשורים למיקום *
674 מאפיינים של סוגי מידע סקלריים שקשורים לגבולות *
676 מאפיינים של סוגי מידע סקלריים שמצביעים על ערכים באופן יחסי *
677 מכונת מצבים
677 מושגים בסיסיים במכונות מצבים
682 דוגמה למכונת מצבים
684 תיאור בסיסי מקובל של מכונת מצבים
691 הקצאת מצבים של מכונת מצבים
698 התערבות בהקצאת המצבים של המכונה

702 מה קורה למצבים הבלתי מתוכננים במכונה ?
703 סוגים נוספים של מכונות מצבים
708 תיאור מכונת מצבים בעלת כניסות שגורמות למעברים אחידים
711 תיאור מכונת מצבים באמצעות האות <code>present_state</code> בלבד
719 פרק 10: הגדרת מערכים ותיאור רכיבי זיכרון
720 מבוא לפרק ומטרותיו
721 יצירת מערכים ורשומות
721 הצהרה על מערך מוגבל
722 הצהרה על מערך בלתי מוגבל
724 צורות שונות לביצוע השמות למערכים של תווים
725 תיאורים של רכיב זיכרון באמצעות מערך
733 מאפיינים של מערכים
738 מערכים עם אינדקס שאינו מספר שלם *
741 רשומות *
747 תיאורים התנהגותיים נוספים של רכיבי זיכרון סטנדרטיים
747 תיאורי זיכרונות א-סינכרוניים
753 תיאורי זיכרונות סינכרוניים
756 תיאור DPRAM
760 דוגמה לתיאור התנהגותי של רכיב זיכרון לא סטנדרטי
767 פרק 11: פונקציות ופרוצדורות והרחבות לשפה
768 פונקציות העמסת אופרטורים ורזולוציה
768 מבוא לתת תכניות ותיאור הפונקציה (function specification)
771 קריאה לפונקציה (function call)
773 המיקום האפשרי של תיאור הפונקציה (function specification)
777 מידע נוסף על פונקציות ועל הפרמטרים שלהן
778 צדדים דומים ושונים בפונקציה ובתהליך
779 שימוש בקורסיה
781 העמסת פונקציות של אופרטורים *
783 פונקצית רזולוציה ויצירת Resolved data type *
785 הרחבות סטנדרטיות ולא סטנדרטיות *
786 Procedures - פרוצדורות
786 מבוא לפרוצדורות
789 פרוצדורות כרכיבי חומרה
790 הבדלים נוספים בין פרוצדורה ופונקציה ובין פרוצדורה ותהליך
793 שימוש בפרוצדורות עבור BFM
795 החבילה std_logic_1164 *
795 חקירת החבילה std_logic_1164 *
798 התמיכה של std_logic בסינתזה *
805 חקירת פעולות חשבוניות על וקטורים שלמים *

805 פעולות חשבוניות עם וקטורים מסוג signed ו unsigned *
815 פעולות נוספות עם signed ו unsigned *
818	... * signed או unsigned באמצעות פעולות חשבוניות
819 ביצוע פעולות חשבוניות עם וקטורים מסוג std_logic_vector בנוחות *
825 פרק 12: טיפול בקבצים
826 שימוש בקבצי טקסט
826 מבוא והחבילה textio
829 מחולל שקורא טקסט מקובץ
832 מחולל שקורא טקסט וזמן מוחלט מקובץ
834 מחולל שקורא טקסט וזמן יחסי מקובץ
835 מחולל שקורא טקסט מקובץ ובודק תוצאות מצופות (מערכת צירופית)
839 מחולל שקורא טקסט מקובץ ובודק תוצאות מצופות (מערכת סינכרונית)
841 כתיבת תוצאות לתוך קובץ
844 החבילה std_logic_textio של Synopsys
847 שימוש בקבצים שאינם קבצי טקסט
847 קובץ של strings ו characters
847 קובץ של strings
848 קובץ עם שלמים (integers)
849 קובץ עם מספרים ממשיים (real)
851 קובץ עם ערכים מסוג bit ו bit_vector
852 קובץ עם ערכים מסוג boolean ו enumerated data type אחרים
853 דוגמה לביצוע פעולות על קובץ בינארי ב - 93 VHDL
855 גישה לקבצים בינאריים גם ב - 87 VHDL *
856 דוגמה לאתחול ROM מקובץ בינארי
860 מקבץ תרגילים
867 פרק הנספחים
868 הרצת קומפילרים של VHDL מתוך עורכי טכסטים
873 הרצת Modelsim באמצעות ה - GUI בלבד
881 ספרים נלווים

פרק המבוא

התפקיד של שפת VHDL בטכנולוגיה האלקטרונית

שני "הקטרים" שמושכים כיום את הטכנולוגיה האלקטרונית קדימה הם ללא ספק: מעבדים (Microprocessors) ורכיבים מתוכנתים (Programmable Devices).

הטכנולוגיה של המעבדים, היא טכנולוגיה ותיקה יחסית, שהחלה בשנות השבעים וחוללה מהפכה בצורה שבה מממשים מערכות אלקטרוניות. מעבדים הם בעצם רכיבים בעלי מבנה פנימי קשיח. הגמישות ביישומים עם מעבדים, מושגת באמצעות כתיבת תוכנה שונה לכל יישום. פרויקטים שמבוססים על מעבדים מפותחים בעיקר בשפות C, ++C ובמידה מסוימת גם בשפת אסמבלי של המעבד.

למרות שהטכנולוגיה של רכיבים מתוכנתים היא צעירה יותר, מדובר בטכנולוגיה מאוד בשלה שהיא בעלת השפעה עצומה על התעשייה, כבר למעלה משני עשורים. כיום כל איש אלקטרוניקה (מהנדס, הנדסאי וטכנאי) חייב להכיר טכנולוגיה חשובה זו. בניגוד למעבדים, שהם בעלי מבנה פנימי קשיח, לרכיבים מתוכנתים יש מבנה פנימי גמיש שאותו יוצר המתכנן באמצעות קונפיגורציה וחיווט של משאבי חומרה פנימיים שקיימים ברכיב.

גם הטכנולוגיה של הרכיבים המתוכנתים חוללה מהפכה בצורה שבה מממשים מערכות אלקטרוניות ספרתיות. רכיבים מתוכנתים מתאימים ליישומים רבים, שבהם באה לידי ביטוי היצירתיות של המתכנן. המתכנן כבר אינו מוגבל בבחירת הרכיבים שלו לבחירה שנעשית מאוסף מצומצם של רכיבי מדף קיימים או לבחירה מאוסף מצומצם של יחידות חומרה שמצויות בתוך מעבד. המתכנן המודרני כבר מזמן אינו חייב להשתמש במספר גדול של רכיבי 74 ישנים על מעגל מודפס רחב ממדים, וזאת על מנת ליצור מערכת חומרה חדשה וייחודית. רכיבים מתוכנתים כוללים בתוכם כיום משאבי חומרה שהם שווים ערך למספר עצום של שערים (מיליוני שערים) ומספר עצום של פליפ-פלופים. רכיבים מתוכנתים מתאימים גם ליישומים מהירים שבהם מבנה המימוש מותאם ישירות לפעולת העיבוד המהירה הנדרשת. זהו מצב שונה מזה שקיים במעבדים שתוכננו להיות רכיבים אוניברסליים שעשויים להיות איטיים בביצוע של פעולת עיבוד ספציפית כל שהיא.

כשם שפרוייקטים שמבוססים על מעבדים מפותחים בארץ בעיקר בשפת C, פרויקטים שמפותחים עם רכיבים מתוכנתים מפותחים בארץ בדרך כלל בשפת תיאור חומרה VHDL. שפת VHDL היא גם שפת תיאור החומרה הנפוצה ביותר באקדמיה. שפה נפוצה נוספת שבה משתמשים לפיתוח עם רכיבים מתוכנתים היא: Verilog.

פרט לשימוש שנעשה בשפות תיאור חומרה VHDL או Verilog ברכיבים מתוכנתים, ניתן לעשות בשפות אלו גם שימוש, בפיתוח רכיבי סיליקון. מדובר בטכנולוגיות רכיבי ASIC וטכנולוגיות של פיתוח מעגלים משולבים (VLSI).

כאשר מפתחים פרויקטים בשפת VHDL, משתמשים בדרך כלל בשני סוגים עיקריים ומרכזיים של כלים: כלי סימולציה (הדמיה של התנהגות) וכלי סינתזה (כלי להכנה של התכן עבור רכיב היעד). שפת VHDL מאפשרת לבצע סימולציה לפני הסינתזה, שהיא יכולת חשובה כאשר מבצעים תכן של מערכת גדולה (Design Flow מודרני).

מבנה הספר וייעודו

הספר מתאים לאנשי חומרה (מהנדסים, הנדסאים, סטודנטים) שהם מתחילים או מתקדמים בשפת VHDL. הספר מביא את הקורא לרמת ידע גבוהה של השפה.

הספר מתאים למתן ליווי מעשי לקורסים תיאורטיים בנושאים הבאים: "שפת תיאור חומרה", "רכיבים מתוכנתים" או "תכן לוגי" שניתנים באוניברסיטאות, במכללות ובבתי ספר מקצועיים. הספר יכול לשמש גם כחוברת לימוד וכאוסף תרגילי מעבדה במעבדות שונות שעוסקות בנושאים הנ"ל וכמובן גם כמתן ליווי לפרויקטים.

נציג כאן כמה דוגמאות ממכללות אקדמיות ואוניברסיטאות. למשל: קורס 51111 במכללה אקדמית חולון, קורס 310105 במכללה אקדמית רופין, קורס תכן לוגי 044262/234248 בהנדסת חשמל או מדעי המחשב בטכניון, מעבדות החובה I או n1 - 044160/044151 בהנדסת חשמל ומחשבים בטכניון ועוד רבים אחרים. בנוסף לכך הספר מתאים לתכנית הלימודים של הנדסאים של מה"ט (המחלקה להכשרה טכנולוגית) במקצועות הבאים: "מעבדה לרכיבים מתוכנתים" (מספר מקצוע 6.27) ו"שפת תיאור חומרה" (מספר מקצוע 4.22). הספר מתאים גם לתכנית הלימודים במשרד החינוך במקצוע: "שפת תיאור חומרה VHDL" (סמל מקצוע 11.9014).

הספר מתאים כמובן גם כספר לימוד עצמי למהנדסי והנדסאי אלקטרוניקה בתעשייה שרוצים להכיר או להרחיב את ידיעותיהם בתחום חשוב זה בעצמם.

הספר מחולק לתריסר הפרקים הבאים:

1. מבוא לשפה ולכלים
2. היסודות של השפה
3. יסודות התיאור ההתנהגותי
4. אבני בניה לסינתזה צירופית
5. אבני בניה לסינתזה סינכרונית
6. אבני בניה לסימולציה
7. תיאורים מבניים בסיסיים
8. תיאורים מבניים מורכבים
9. הגדרות סוגי מידע ותיאור מכונת מצבים
10. הגדרת מערכים ותיאור רכיבי זיכרון
11. פונקציות ופרוצדורות והרחבות לשפה
12. טיפול בקבצים

בפרק הראשון תתוודע למושגים בסיסיים כמו סימולציה סינתזה, ותכיר את מהלך התכן (Design Flow) של רכיב מתוכנת מודרני. בפרק זה גם מודגמים באופן בסיס בלבד כלי תוכנה לסימולציה וסינתזה. אמנם כלי הסימולציה וסינתזה שמודגמים בפרק זה הם של חברת Aldec \ Mentor וחברת Altera, אך לא תהיינה לקורא שמשמש בכלים של חברות אחרות בעיות כל שהן בהמשך הקריאה וההבנה של הספר. הסימולציות בפרק זה ובפרקים הראשונים של הספר (עד פרק 5) מבוססות על script עם פקודות של הסימולטור.

סימולציה שנעשית באמצעות Test Bench מוצגת בהמשך הספר (בפרק 7 והלאה). למרת זאת אנשים שמבצעים סימולציה באמצעות Test-Bench מתחילת הקורס שלהם יוכלו להשתמש בספר זה, מכיוון שהנושא מוצג בקיצור רב גם בדוגמאות הראשונות שבספר. במהלך הפרק הראשון תבצע, את כל שלבי התכן על קובץ VHDL מאוד פשוט.

בפרק השני בספר, מוצגים יסודות התחביר הבסיסיים של השפה. פרק זה ילמד אותך כיצד לכתוב קובץ VHDL בסיסי. בפרק זה תכיר את יחידות הקומפילציה הבסיסיות: ישות (entity), ארכיטקטורה (architecture) וחבילה (Package). בנוסף לכך פרק זה עוסק בסוגי המידע (Data Types) שמובנים בשפה ואוסף הפעולות (Operators) שאותן ניתן לבצע על סוגי המידע שמובנים בשפה. הכרות מוקדמת עם סוגי המידע והפעולות חשובה, היות ושפת VHDL היא שפה נוקשה (Strongly Typed Language). בסוף הפרק תכיר כמה חבילות שימושיות שמרחיבות את השפה ומאפשרות גמישות גדולה יותר בביצוע פעולות.

הפרק השלישי עוסק ביסודות התיאור ההתנהגותי בשפה. בחלק זה תכיר שתי צורות תיאור: תיאור עם תהליך (process) ובלעדיו. השימוש בתהליך מאפשר ליצור תיאורים של מערכות מאוד מורכבות ומאפשר להשתמש גם במשתנים (Variables). בפרק זה תלמד גם כיצד להשתמש בפסוקי התניה (conditioning), בפסוקי בחירה (selection) ובחוגים (loops).

בפרק הרביעי נעסוק בכתיבת תיאורים צירופיים שהם "ידידותיים לכלי סינתזה". בפרק זה תכיר כללים ושבולונות (Templates) לכתיבה, שמבטיחות שכל כלי הסינתזה יצליחו לפרש את הקוד שלך כחומרה של מערכת צירופית ולא כחומרה מופרעת ובלתי הגיונית (Sick Hardware). הקפדה על כללי הכתיבה שנלמדים בפרק זה תגרום לכך שהקוד יפורש באופן אחיד ועקבי על ידי כל כלי ה**תוכנה** שבהם תשתמש. מדובר הן בכלי סינתזה והן בכלי סימולציה. כתיבת קוד צירופי שהוא "ידידותי לכלי סינתזה", חופפת ברוב המקרים גם לכתיבת קוד צירופי שהוא "קריא וידידותי לבני אדם"! בפרק זה נעסוק בתיאור של רכיבים צירופיים כמו: בורר (Selector), מפלג/מפנע (De-Multiplexer/Decoder), מקדד (Encoder), ורכיבי Tri-State ו Open-Drain. הפרק גם דן בתיאור רכיבי Latch.

גם **בפרק החמישי** נעסוק בכתיבת תיאורים שהם "ידידותיים לכלי סינתזה", אך הפעם מדובר בתיאורים **סינכרוניים**. גם בפרק זה תכיר כללים ושבולונות לכתיבה שמבטיחות שכל כלי הסינתזה יצליחו לפרש את הקוד שלך כחומרה של מערכת סינכרונית ולא כחומרה מופרעת ובלתי הגיונית. גם במקרה זה הקפדה על כללי הכתיבה שנלמדים בפרק זה תגרום לכך שהקוד יפורש באופן אחיד ועקבי על ידי כל כלי ה**תוכנה** שבהם נשתמש. מדובר הן בכלי סינתזה והן בכלי סימולציה. כתיבת קוד סינכרוני שהוא "ידידותי לכלי סינתזה", חופפת ברוב המקרים גם לכתיבת קוד סינכרוני שהוא "קריא וידידותי לבני אדם"! בפרק זה נעסוק בתיאור של רכיבים סינכרוניים כמו: דלגלים (Flip-Flops), מונים (Counters) מסוגים שונים, ורגיסטרים (Registers) מסוגים שונים. הפרק גם עוסק בחשיבות של הפרדה של מערכת לחלקים צירופיים וחלקים סינכרוניים ברמת RTL וכמה המלצות לגבי האופן שבו כדאי ליצור תכן.

בפרק השישי נעסוק בהכרת אבני בניה לסימולציה, שישמשו אותנו ביצירה גרטרורים עבור Test Bench. בפרק זה נשתמש בתהליכים עם פסוקי wait ונכיר כיצד ניתן ליצור מחוללים שונים כמו: מחולל שעון, מחולל reset או מחוללים מורכבים אחרים.

רק ביחידת הלימוד הבאה, שבה נכיר את האופן שבו נעשה תיאור מבני, נשתמש באופן מפורש ב- Test-Bench בכדי לבצע סימולציות למערכות שאותן נרצה לסנתז. ביחידת הלימוד הבאה נשלב בעצם אבני בניה לסינתזה (שנלמדו בפרק הרביעי והחמישי) ביחד עם אבני בניה לסימולציה (שנלמדים בפרק הנוכחי - 6) בתיאור מבני.

בכל הפרקים **שלפני פרק 7**, נעשה שימוש בתיאורים בסגנון התנהגותי (Behavioral Coding Style). שפת VHDL תומכת גם בתיאורים בסגנון מבני (Structural Description Style). בפרק 7 נכיר את האופן שבו נעשה תיאור מבני של מערכת. בפרק זה נציג את האופן שבו יוצרים חיבורים בין רכיבים וכיצד יוצרים היררכיה. בפרק זה גם תתוודע לצורת הסימולציה השימושית שנקראת Test-Bench.

פרק 8 עוסק בתיאורים מבניים מורכבים. פרק זה עוסק בתיאור כללי יותר של רכיבים גנריים (Generics) ובשכפול תיאורים מבניים שנעשה באמצעות פסוקי Generate. בפרק זה מוצגים גם רכיבים גמישים (LPMs). חלקו הסופי של פרק זה, שהוא חלק אופציונלי, עוסק **בקונפיגורציה של רכיבים וניתן לדלג על חלק בלתי פופולרי זה**, מבלי לפגוע בהמשך הקריאה וההבנה של הספר. הפרק גם עוסק בניהול ספריות בכלי הסימולציה וביצירת תמיכה של כלי הסימולציה בספריות רכיבים של יצרן הרכיבים המתוכנתים.

פרק 9 עוסק בתחילתו, בהכרת אופנים שונים שבהם ניתן להגדיר סוגי מידע בשפת VHDL. ניתן לדלג על חלקים ההתחלתיים הללו. המשכו של הפרק עוסק בנושא **החשוב** של תיאור מכונת מצבים בשפת VHDL. בחלק זה בפרק תכיר אופנים שונים שבהם ניתן לתאר מכונות מסוג Mealy ו Moore וכיצד ניתן להתערב בהקצאת המצבים של המכונה, למשל במקרה שבו רוצים לממש מכונת Moore ישירה (Direct Moore Machine).

פרק 10 עוסק בתחילתו בהגדרת אופנים שבהם ניתן להגדיר מערכים ורשומות בשפת VHDL. המשכו של הפרק עוסק בנושא החשוב של תיאור רכיבי זיכרון כמו: RAM, ROM ו Dual Port RAM ותיאור רכיבי זיכרון גמישים יותר.

חלקו הראשון של **פרק 11** עוסק בהכרת אופן ההגדרה ואופן השימוש בפונקציות ופרוצדורות בשפת VHDL. המשכו של פרק זה מראה כיצד יצרו הרחבות שונות לשפה כמו בחבילות: std_logic1164 או בחבילות האריתמטיות השונות כמו: numeric_std או std_logic_arith וכיצד יצרו חבילות נוחות לשימוש כמו std_logic_signed ו std_logic_unsigned.

פרק 12 עוסק בטיפול בקבצים. בחלקו הראשון מוצג אופן הטיפול בקבצים טקסטואליים באמצעות שימוש בחבילות textio ו std_textio. בהמשכו של הפרק מתואר אופן הטיפול גם בקבצים שאינם קבצי טקסט (Binary Files). פרק זה גם מציג את הבדלים בין אופן הטיפול בקבצים ב- VHDL-87 לעומת VHDL-93.

בספר נעשתה ברוב המקרים העדפה של שימוש **בקטעי קוד מלאים שניתנים להרצה** על פני קטעי קוד חלקיים. בנוסף לכך בספר זה נעשית ברוב המקרים **הבדלה ברורה** בין קודים שמתאימים לסינתזה לבין כאלו שאינם (כלומר קטעי קוד שמתאימים רק לסימולציה).

המלצות לגבי אופן הלימוד


בניגוד לשפות תיאור חומרה כמו ABEL ו-AHDL, שהן שפות קטנות וקלות ללימוד, שפת VHDL היא שפה גדולה ומורכבת הדורשת לימוד מסודר וזמן הסתגלות ארוך יותר. במיוחד קשה ומתסכל ללמוד את השפה, אם מנסים ללמוד אותה מתוך **התקן שלה**, שנקרא גם בשם **VHDL Language Reference Manual** (או בקיצור - LRM). אנשים שהתנסו בצורת לימוד זו, מתלוצצים לעיתים וקוראים לשפת VHDL גם בשם המאוד לא מחמיא: **Very Hard Description Language** (המקור האמיתי של השם של השפה הוא כמובן שונה והוא מתואר בפרק 1).

אחדים מהקשיים בלימוד השפה נגרמים מהסיבות הבאות:

- מדובר בשפה גדולה עם אפשרויות כתיבה רבות
- השפה נוצרה על ידי ועדה
- השפה דומה לשפת תכנות למרות שהיא כלל אינה שפת תכנות
- בכתיבה לסינתזה יש להכיר את החלקים של השפה שמתאימים לסינתזה
- השפה היא בעלת סוגי מידע רבים ופעולות נוקשות (Strongly Typed Language).

למרות כל מה שנאמר כאן, אנשים רבים בכל זאת לומדים VHDL ללא מאמץ רב, וזאת בתנאי שמסתייעים בספר לימוד (כמו ספר זה).

ספר לימוד זה מכסה באופן יסודי – צעד אחר צעד את כל המרכיבים החשובים של השפה, כולל הצבעה על קשיים ובעיות. הספר מתמקד בשפה עצמה, במתודולוגיה, בסגנונות כתיבה לסימולציה וסינתזה ולא בכלים, אך תרגול עם כלי תוכנה עוזר כמובן להטמעה של החומר הנלמד.

הספר כתוב הן כספר לימוד והן כחוברת לתרגול עצמי. בספר משולבים שני סוגים של תרגילים. התרגילים שמסומנים ב - , הם תרגילים קטנים שאותם כדאי להריץ. הקוד של תרגילים אלו בדרך כלל רשום בספר וגם תוצאות ההרצה המצופות רשומות בספר. תרגילים אלו עוזרים לקורא להפנים את קריאת הטקסט "היבש". תרגילים נוספים הם, תרגילי תכנון שבהם הקורא נדרש לתכנן מערכת כל שהיא ולכתוב את הקוד שלה בעצמו. תרגילים אלו ממוספרים לפי פרקי הלימוד בספר (למשל בפרק 3 - 3.1, 3.2, 3.3 ..).

הכלי העיקרי המומלץ לתרגול עצמי, הוא **כלי סימולציה**. הרצות הסימולציה בספר זה נעשו באמצעות ModelSim ו-Riviera-Pro, אך אין שום מניעה מלהשתמש בכלי סימולציה אחר כמו ב - Active-HDL (של Aldec), או ISim (של Xilinx), VCS (של Synopsys), NC-VHDL (של Cadence), NCSim או בכל כלי סימולציה אחר.

חלק מהתרגילים בספר מיועדים לתרגול גם באמצעות **כלי סינתזה**. תרגילי הסינתזה בספר זה מיועדים להרצה בכלים כמו Quartus של חברת Altera ו Precision RTL של חברת Mentor. למרות זאת, בהחלט אפשר להשתמש גם בכלי סינתזה אחרים.

ההסברים בטקסט שקשורים לאופן כתיבת קוד לכלי סינתזה (שמצויים ברובם בפרקים 4 ו 5 אך גם בפרקים אחרים בספר), מבוססים על בדיקה שנעשתה גם באמצעות הרצת הקוד באמצעות כלי סינתזה רבים ומגוונים נוספים כמו: ABEL-Synario הישן של Data I/O, Warp2 של חברת Cypress, Web-Pack או ISE של חברת Xilinx, FPGA-Compiler או Synplify של Synplcity. חלק מהכלים הני"ל הם כלים שהיו ברשותי ולצורך ההרצה של הכלים שלא היו ברשותי נעזרתי בחברים.

לחלק מבין כלי הסימולציה והסינתזה הני"ל, קיימות גרסאות מוגבלות כמו למשל גרסת Modelsim-AE-Starter החופשית של Altera, או גרסאות סטודנטים שונות כמו: גרסת סטודנטים של ModelSim-PE ולאחרונה גם גרסת סטודנטים של Riviera-Pro או גרסת Quartus Web Edition, או ISE Web Edition שהן כולן תכנות חופשיות או שניתן לקבל עבורן רשיון חופשי באמצעות האינטרנט (ראה הסבר בפרק 1 לאופן השגתם של כלים אלו).

הספר בנוי באופן גמיש כך שקוראים שאין להם את כל סוגי הכלים או שהם מאוד קצרים בזמן, אינם חייבים להשתמש בכל פרקי הספר. במלים אחרות הספר מתאים למגוון רחב של סוגי קורסים וקהלי יעד.

למשל קוראים שמתכוונים לבצע בשלב ראשון רק חיווטים גרפיים, יכולים לדלג על פרקים 6, 7 ו 8. קוראים שאינם מעוניינים להעמיק בשפה יכולים לוותר על פרקים 10, 11 ו 12.

הגרעין המינימלי של הספר שממנו כדאי שלא לרדת הם פרקים: 1 עד 5 ופרק 9 (בנושא מכונת מצבים בלבד). במקרה כזה הקורא גם מוזמן לדלג על כל החלקים בפרקים אלו שמסומנים ב - * . לימוד מצומצם שכזה מבוסס על פחות ממחצית מהספר !

הימנעות מקריאת פרקים שמסומנים ב - * , גם מאוד מקלה על הלומד (וזה מתאים ללומדים שמשתתפים בקורסים שטחיים או קצרים), אך כל זאת נעשה מבלי לוותר על אבני היסוד המרכזיות של השפה.

הרחבה אפשרית בנושאי הלימוד שאותה ניתן לבצע בהמשך היא לימוד של פרק 7 ללא החלקים שמסומנים ב - * . זוהי הרחבה חשובה במיוחד גם לאלו שרוצים להשתמש ב - Bench - Test. הרחבה אפשרית נוספת תכלול את כל החלקים בפרקים 6 ו 8 שאינם מסומנים בתו * . ההרחבה הבאה בתור צריכה להיות של פרק 10 עבור רכיבי זיכרון.

קיימים ספרים שנלווים לספר זה (שרשומים בהמשך) ושיכולים לעזור לך ללמוד באופן יסודי יותר את הנושא של **רכיבים מתוכנתים**.

להתייעצות או תפירת תכנית לימוד פרטנית ולפי דרישות מורכבות יותר, ניתן לפנות ולהתייעץ עמי בדואר אלקטרוני או בטלפון (הם רשומים בהמשך).

כיצד פותחו החומרים שבספר

ספר זה מבוסס על התנסות אינטנסיבית בהעברת קורסים בשפת VHDL. הקורסים הועברו באתרים רבים ברחבי הארץ ועבור קהלי יעד שונים. הרצאות הקורס, שלוו בכמות נכבדת של שקפים, עברו גלגולים שונים והגרסאות השונות של השקפים שוכתבו במשך הזמן לחוברות לעבודה עצמית. **המהדורה הראשונה** של הספר נוצרה מהגרסאות האחרונות של השקפים וחוברות העבודה.

הקורסים הראשונים התקיימו ברפא"ל-לשם (מספר קורסים), ברפא"ל-מכון-דוד (מספר קורסים), בתדיראן קשר, בתדיראן מערכות, ECI, ACS, RSL ובמקומות נוספים. בהזדמנות זו ברצוני להודות למשתתפים הרבים בקורסים הראשונים הללו. השקפים שהוכנו עבור הקורסים הראשונים (שנמשכו כשבעים עד שמונים שעות לימוד) נתפרו בהתאם לצורכי המשתתפים. השאלות הרבות וההערות הבונות של ממשותתפי הקורסים הראשונים שימשו אותי כהשראה המרכזית להכנת הספר.

מקום התנסות רלוונטי נוסף היה הפקולטה להנדסת חשמל בטכניון. העברת הקורס הנ"ל לסגל המעבדה הספרתית בפקולטה להנדסת חשמל בטכניון, ייעוץ מזדמן בנושאים שונים במעבדה זו והדרכות בנושא VHDL עבור פרויקטנטים של המעבדה, וכתובת ניסויי חובה לפקולטה (שישה מפגשים במעבדה 1 ו 1n), סיפקו לי התנסויות ומשובים חשובים נוספים. בהזדמנות זו ברצוני להודות במיוחד לאינה ריבקין ולאלי שושן ששאלו שאלות מאוד חכמות והעירו לי הערות בונות רבות. במידה מסוימת גם הדרכות בניסויים שביצעת במעבדת VLSI בטכניון, סיפקו לי משוב בקשר לצורכיהם של סטודנטים מתחילים שלומדים את השפה. בהזדמנות זו ברצוני להודות לסמואל גואל ולאמיר בר ממעבדה זו.

מקום התנסות חשוב נוסף עבור הכנת הספר, היה בית ספר הארצי להנדסאים בטכניון. כאן צברתי ניסיון בהעברת קורסי VHDL אינטנסיביים בהיקף של למעלה ממאה שעות, כשהסטודנטים נבחנים על נושא זה בבחינה ממשלתית של מה"ט. צורת הלימוד שנבחרה עבור קורסים אלו וקורסים דומים בנושאי רכיבים מתוכנתים, הייתה ביצוע חוברות עבודה במעבדה עם כמה הרצאות מזדמנות. הכנת חוברות אלו היוותה בסיס עבור חלק מהטקסט שבספר זה. הכנת החוברות אילצה אותי לנסח את ההסברים בצורה מאוד ברורה והשאלות הרבות של הסטודנטים והפרייקטנטים שהדרכתי סיפקו לי משוב חשוב בקשר לאיכות ההסברים. בהזדמנות זו רציתי להודות להנהלת המכללה על התמיכה והפרגון.

במשך השנים היה לי מגע רצוף גם עם מרצים בבתי ספר מקצועיים שמלמדים את הנושא במסגרת כיתות יג' ו יד'. תודה גם להערות הבונות שקבלתי ממנחי הפרוייקטים ומרצים ברשת אורט בקורס שהעברתי ברשת אורט. הערות אלו לימדו אותי על הקשיים הגדולים שלהם כמרצים בהטמעה של החומר הנלמד לתלמידים צעירים בבתי ספר.

קשר חשוב נוסף שתרום לכתיבת הספר היה עם חברת איסטרוניקס. תודה גדולה מגיעה לאנשים המצוינים בחברת איסטרוניקס, שהיא הנציגה של חברת Altera בארץ. כמשתמש ותיק ברכיבים ובכלי התוכנה של חברת Altera ויותר מאוחר גם כחבר ACAP (תכנית יועצים מומחים של Altera), התנסיתי בהעברת קורסים והדרכות שונות מטעם (קורסי Altera: במכללת הי-טק, אלביט חיפה, רפא"ל-לשם, וחברות אחרות וקורס VHDL בחברת ECI).

בנוסף לכך מגיעה להם תודה גדולה על התמיכה המעולה שהם נותנים למוסדות לימוד. ברצוני להודות במיוחד לאבנר אוזן, משה מועלם, איל חלפון, עופרה אברהמי, ותמר לוסטגרטרן.

קשר חשוב נוסף היה עם חברת סיטל. מגיעות תודות לאנשים המצוינים בחברת סיטל (עופר הופמן וניר חמצני), שהיו בעבר הנציגים של Model-Sim וכלי תוכנה נוספים של Mentor בארץ וכיום מיצגים את Aldec. למרות שספר זה אינו דומה כלל לקורס VHDL המאוד אינטנסיבי והמצוין שמועבר מטעמם, היה לי גם העונג להדריך בעבר בקורסים מצוינים מטעמם (באלביט חיפה, תעשייה אווירית, מהו"ת). בקורסים אלו קיבלתי משוב חשוב בקשר לצרכים של אנשים בתעשייה שלומדים VHDL בלחץ זמן גדול. בנוסף לכך מגיעה להם תודה גדולה על התמיכה שהם נתנו ועדיין נותנים למוסדות לימוד.

אחד האנשים שדרבן ועודד אותי לכתוב את הספר הוא יאן לרון, שהוא חבר טוב וכותב ספרים פורה בפני עצמו. אני מודה לו על כך. השראה נוספת נתן לי גם שי מלול. אדם נוסף שדרבן ועודד אותי הוא אריה ליבנה (המפקח הארצי ללימודי אלקטרוניקה מה"ט) שהצביע ללא לאות על הצורך בכתיבה של ספר רציני בעברית בנושא ופעל גם לשינויים מבורכים בתכניות הלימודים. בהמשך נעשו גם שינויים דומים בתכניות הלימוד של משרד החינוך.

מה חדש במהדורה השנייה ?

המהדורה הראשונה של הספר זכתה לפופולריות רבה מאוד ואזלה במהירות. הספר נהפך לספר לימוד מאוד מקובל באוניברסיטאות רבות ובמכללות אקדמיות רבות ובמכללות הנדסאים רבות וגם בבתי ספר תיכון מקצועיים רבים. בנוסף לכך, אנשים רבים בתעשיית האלקטרוניקה רכשו את הספר ועשו בו שימוש. קוראים רבים מכל המגזרים הללו שלחו אלי משוב מאוד מועיל על הספר. המשוב כלל בעיקר שאלות, בקשות שונות לתוספות ושיפורים וכן תיקוני טעויות. אתר אינטרנט שנוצר בעקבות הוצאה של הספר ניסה לתת כמה פתרונות חלקיים לבעיות שהתעוררו: להלן הכתובת של האתר:

www.amos.eguru-il.com

פרט לספר הנוכחי במהדורתו השנייה שנתמך כמובן באתר, האתר הזה מטפל גם בספרים נוספים שנלווים לספר זה:

- תכן ספרתי ומבוא לפרוייקטים עם רכיבי Altera.
- ספרי לימוד בנושא מערכות ספרתיות (שני כרכים)

הספר שעוסק ברכיבי Altera, יכול להילמד במקביל לספר הנוכחי ושני הספרים מהווים יחידות לימוד שמשלימות אחת את השנייה. ספר זה (תכן ספרתי ומבוא לפרוייקטים עם רכיבי Altera) יכול לשמש כמאגר גדול של דוגמאות קוד מעשיות לספר הנוכחי ויוכל גם לתת הדרכה מעשית לתרגול עם Quartus ולוח תרגול מעשי עד לרמת פרוייקטים.

הספרים במערכות ספרתיות מהווים רקע תיאורטי חשוב לספר זה. בעתיד יצא גם ספר נוסף בתחום: "לימוד שפת Verilog לסימולציה וסינתזה". ספר זה ישלים לקורא את הידע בשפה מקובלת נוספת והקוראים של הספר הנוכחי יוכלו להשתמש בספר על שפת Verilog בקלות, מכיוון שקיימים קווי דמיון רבים בין שתי השפות הללו וגם בין שני הספרים.

במהלך חייה של המהדורה הקודמת של הספר (בשנת 2008), התקן של שפת VHDL עבר שדרוג מאוד משמעותי (בספר נקרא לגרסה זו של התקן בשם **VHDL-2008**). התקן של שפת VHDL שנוצר במקור בשנת 1987 הגדיר שפה מאוד חזקה ויציבה. התקן עבר שני שדרוגים קודמים שהתרחשו בשנת 1993 ו 2002. מכיוון שהשדרוגים הללו היו קטנים, יצרני כלים לא הזדרזו ויצאו מגדרם לשלב את השינויים המזעריים במהירות רבה בכלי הפיתוח. למרות זאת בסופו של דבר כל הכלים תומכים כיום בשני השדרוגים הללו.

לעומת שני השדרוגים הקודמים, שהיו כמעט חסרי משמעות, השדרוג 2008 (שיצא לאור בעצם ב - 2009) היה מאוד מרחיק לכת והיה מיועד לצמצם את הפער שנוצר בכמה נושאים בין שפת VHDL ותקן Verilog חדש (2005). התקן החדש של שפת VHDL מרחיב מאוד את היכולות של השפה, הופך אותה לנוחה יותר לשימוש וכן מקדם אותה צעד חשוב נוסף לכיוון של שפת Verification. התגובה האיטית של יצרני הכלים שהייתה לאחר השדרוגים הקודמים אינה מתרחש כיום באופן דומה. **הפעם השינויים שנעשים בכלים הם הרבה יותר מהירים.**

יצרני הכלים של כלי סימולציה של חברות כמו: ALDEC, Mentor וחברות אחרות משלבים בכלים שלהם כיום תמיכה הולכת וגוברת בתקן החדש. התמיכה כיום בתקן החדש בכלי סימולציה של חברות אלו היא כמעט מלאה (בעיקר בחברת Aldec). בכך יצרנים אלו מגדילים מאוד את האטרקטיביות של רכישת עדכונים של הכלים שלהם על ידי המשתמשים.

גם יצרני רכיבים וכלי סינתזה כמו Altera, Xilinx ו Lattice ואחרים וכן יצרנים של כלי סינתזה צד שלישי, אינם נשארים מאחור במרוץ הזה. רוב הכלים הללו תומכים כבר כיום במידה חלקית בעדכון והתמיכה מתרחבת במהירות מגרסה לגרסה.

שפת VHDL עתידה לעבור בשנים הקרובות שיפורים נוספים שיביאו אותה בסופו של דבר למצב שהשפה תיקרא בשם **Verification & Hardware Description Language** (זהו השם המקורי של השפה והשם יוסבר בפרק הראשון).

מה כוללת המהדורה החדשה של הספר ? המהדורה החדשה של הספר, כוללת בראש ובראשונה תוספות ושינויים שהם תוצאה של **המשוב המועיל של המשתמשים הרבים** במהדורה הראשונה של הספר. כמובן שגם נעשו תיקוני טעויות. חלק מהפרקים הורחבו ושופרו במגוון רחב של נושאים (מדובר בערך בכמחצית מנושאי הספר שנכתבו מחדש או הורחבו ושופרו). גם חלק מהתרגילים שונו תוקנו והורחבו.

המהדורה החדשה **מטפלת גם באספקטים רבים של התקן החדש** של השפה (VHDL-2008) אך לא בכולם. נושאים בתקן החדש כגון שפת PSL (שפה ומתודולוגיה שמיועדת ל - Verification), IP-Protection & Encryption, VHDL- Procedural, OS-VVM, Packages ו Generics יכולות חדשות של VHPI Interface, יכולות חדשות של חלק מהיכולות המתקדמות הללו בסימולציות מתקדמות לתיאורים אקראיים ושילוב של חלק מהיכולות המתקדמות הללו בסימולציות מתקדמות או אימותים, לא נכללו בספר. הדבר נעשה מתוך רצון לשמור על ממדים מתקבלים על הדעת של הספר. הנושאים הללו עשויים למצוא את מקומם בספר נפרד שיוקדש רק להם.

למרות זאת, נושאים חשובים רבים מאוד בתקן החדש בכל זאת מכוסים בצורה מקיפה בספר הנוכחי. מדובר בנושאים כגון:

- חבילות וקטוריות ל - Fixed Point
- חבילות וקטוריות ל - Floating Point
- גישה לאותות פנימיים בהיררכיה ואילוץ מצבים ושימוש ב - alias
- תהליכים צירופיים חדשים
- פעולות השוואה משופרות
- פונקציות min ו max ופונקציות רבות נוספות
- מערכים חדשים שמובנים בשפה
- פסוקי case משופרים עם Don't Care
- פסוקי if חדשים עם conditional expression
- השמות מותנות ונבחרות בתהליכים
- חבילה חדשה לפעולות חשבוניות על std_logic_vector
- שימוש בביטויים בחיוטי port map
- פונקציות המרה למחרוזות תווים שונות
- צורות חדשות לתיאור מחרוזות תווים קבועים (sized bit strings)
- הצהרת context
- פעולות לוגיות חדשות מסוג unary reduction operators
- ערבוב בפעולות לוגיות בין וקטורים וביטים בודדים
- יכולת לקרוא חזרה יציאה מסוג out
- פסוקי generate משופרים
- איחוד תקנים שונים בחבילות הבסיסיות
- העמסה מורחבת על פעולות ופונקציות קיימות
- ועוד ...

שינוי נוסף בספר, נעשה בהתבססות על כלי תוכנה שונים. במהדורה הראשונה של הספר, הסימולציות היו מבוססות בעיקרן על Modelsim. במהדורה השניה של הספר הסתמכתי גם על סימולטור נוסף של חברת ALDEC שנקרא Riviera-Pro. התמיכה של הסימולטור זה בתקן החדש של שפת VHDL היא כמעט מלאה. מהירות הסימולציה גבוהה ואיכות הסימולציה ונוחות השימוש בכלי אינם נופלים מזו של Modelsim, שמוכר לאנשים רבים. חומרי התיעוד וחומרי העזר הנוספים שמופיעים באתר של חברת ALDEC, כולל גם ה - Webinras, מאוד מושקעים ומאוד מועילים.

בתחילת הספר (בפרק 1), יש תת-פרק שלם שעוסק בהפעלה בסיסית של הסימולטור Riviera-Pro. משתמשים ותיקים ב- Modelsim ימצאו שהמעבר ל- Riviera-Pro והמעבר גם בכיוון ההפוך הם מאוד קלים, היות וצורת ההפעלה של שני הכלים הללו וגם הסקריפטים של שני הכלים הללו מאוד דומים. גם בשאר פרקי הספר האחרים יש התייחסות מלאה לסימולטור זה. בהזדמנות זו ברצוני להודות לניר חמצני, עופר הופמן ועופר שרגאי מחברת סיטל (שהם הנציגים הנוכחיים של ALDEC בארץ) ולגברת Alicja Marciniszyn (מחברת ALDEC), על התמיכה שלהם בכלי ובמיוחד בתמיכה שלהם במוסדות לימוד.

למרות מה שנאמר כאן, על ההסתמכות השווה והתמיכה השווה בשני הסימולטורים Modelsim ו- Riviera-Pro. הספר מאפשר ללומדים שמשתמשים גם ב**סימולטורים אחרים**, להפיק תועלת מהספר מכיוון שרוב הפעולות שנעשות בסימולטורים דומות.

שינוי נוסף בכלים, קשור לכלי סינתזה ובעיקר אלו של חברת Altera. בספר הקודם נעשתה הסתמכות על כלי הסינתזה: Max+Plus II, Quartus וכלי סינתזה צד שלישי כגון Precision-RTL וכלי סינתזה צד שני אחרים. בספר זה נעשית הסתמכות רבה יותר על כלי הסינתזה Quartus על חשבון Max+Plus-II. השימוש בכלי הסינתזה הוותיק Max+Plus-II הולך ונעלם כיום וכלי הסינתזה Quartus הולך ומשתפר ויכולות הסינתזה שלו מגיעות בתחומים רבים ליכולות של כלי סינתזה צד שלישי. בתחילת הספר (בפרק 1), יש תתי-פרקים אחדים שעוסקים בהפעלה בסיסית של Quartus החל משלב יצירת הפרוייקט ועד לתכנות הרכיב. בהמשכו של הספר בפרקים רבים יש גם התייחסויות נוספות לכלי משובח זה. תמיכה דומה שהייתה ב- Max+Plus-II בספר הקודם הוסרה מהספר.

בנוסף להנחיות והמלצות הלימוד שהופיעו במהדורה הראשונה, במהדורה זו סומנו חלק מתת-הפרקים בתו * . המשמעות של תו זה היא **שניתן לדלג על קריאת תת-הפרק**, וזאת מבלי לפגוע בהמשך הקריאה. סימנים אלו יקלו על הקוראים שרוצים להוריד במידה מסוימת את היקף הנושאים בכל פרק. המלצות ללומד הופיע בתחילת פרק זה (פרק המבוא) וגם בפרקים האחרים עצמם.

למרות כל המאמצים שלי בכתיבת הספר ולמרות המשוב המועיל הרב של האנשים המצוינים שהעירו לי הערות ותקנו לי שגיאות בגרסאות המוקדמות של הספר ובשתי המהדורות של הספר, עדיין עלולות להיות בספר זה טעויות וכמובן איני חולק אחריות זו עם אחרים.

אודה לכל מי שישלח לי הערות בקשר לטעויות שכאלה או לכל מי שיצביע על בעיות כלשהן בהבנה של הטקסט או יציע לי הצעות כל שהן. כל הערה קטנה כגדולה תתקבל על ידי בברכה.

ליצירת קשר ניתן להשתמש בכתובות הדואר האלקטרוניות הבאות :

amos.zaslavsky@gmail.com

amos.books@gmail.com

amos@eguru-il.com

או שניתן להתקשר לטלפונים הבאים :

050-7270673

04-8230219 (בערב)

אני מאחל לכל הקרואים קריאה נעימה והצלחה בלימוד השפה.

תודות

ברצוני להודות לאנשים הרבים הבאים, שקראו והעירו הערות, שאלו שאלות בונות או הציגו הצעות כל שהן או שתמכו או עזרו בכל דרך אפשרית אחרת (ישירה או עקיפה, קטנה או גדולה) ליציאת הספר במהדורות החוברות שלפני המהדורה הראשונה במהדורה הראשונה או במהדורה השניה.

אבנר אוזון, אברמוב בנימין, אג'וד זאהר, אולג סידרוב, אודי גרינר, אורטל קמינקא, אורי סטרו, אוריין אדרי, אילונה ברונר, אטד אוחנה, אייל אלימלך, איל חלפון, אילן דווידסקו, אינה ריבקין, אלה טיטריה, אלון רדה, אלי מיטב, אלי סמרטנקו, אלי שושן, אלכס מנדלסון, אלכסי אלושין, אמיר בר, אמיר שהלא, אמירה שהלא, אנדרי פנטלייב, אנה חסין, אנטולי איסטומין, אסתר מיריאשבילי, אריה ליבנה, בת-אל אלקובי, גאי קדוש, גונן שמש, גיל בן שלוש, גררדו נחום, דאבוש שרון, דורית מדינה, דיאנה פופה, דני אלדר, דקלה לבקוביץ, הדר דדון, הדר מורנו, הייק ורדניאן, ויקטור לויט, זיו יעקובי, חופית דדון, חזי רוטשטיין, חיים רודל, טל ברנדווין, טל לוי, טניה מרגוליס, טריקי טוהר, יאן לרון, יובל בק, יוסי ברקן, יורי סברנסקי, יורי ספיבק, יותם סופר, יסמין קדארי, יעלה אברהם, יצחק אזרד, ירון פרנק, ישראל פדר, כפיר שוויקי, לאוניד סמרטנקו, ליאור טלמור, לילך סיל, מוטי בוכניק, מורן עזרן, מור מכלוף, מיכאל מרגוליס, מיכאל נייש, מנחם מנשרוף, מרק טסליצקי, משה מועלם, נוגל טירר, נועה שמולביץ, נטלי יונה, נילי קדם, ניר חמצני, ניר סגל, סבטלנה גנטישציק, סמואל גואל, סער מזרחי, סתיו נווה הללי, עדי הורן, עדי צרפתי, עדי לורבר, עדיאל טורגמן, עדי זוארץ, עודד שחם, עומרי אגוזי, עומרי רייסמן, עופר הופמן, עופר פלדמן, עופר שרגאי, עופרה אברהמי, עלא בידס, עמית הרשקוביץ, עמית לוי, עמית שוסטיק, ערן סקלי, עתליה זיו, פבל אפרוס, פבל קוצ'ר'וק, רוני ממון, רועי ז'נו, רות ברקוביץ, רותם לב, רז לזר, רחל גרינברג, רן שושני, רן שחר, שאדי פראג', שאול כהן, שי גורג', שי מלול, שירה ברזילי, שרון מרום, שרי ציבלין, שרין פולנסקי, תאמר בידס, תמר לוסטגרטן

אני מקווה שלא שכחתי מישהו ..

הספר מוקדש לאשתי וילדי : אפרת, טל ואורי.